

⑤波形整形回路

①特 願 昭42-19994
 ②出 願 昭42(1967)3月31日
 ③発 明 者 川崎淳
 国分寺市東窓ケ窪1の280株式
 会社日立製作所中央研究所内
 同 岩佐雄三郎
 日立市幸町3の1の1株式会社日
 立製作所日立工場内
 同 大沢晃
 日立市河原町1620株式会社
 日立製作所国分工場内
 同 浜田長晴
 日立市久慈町大妻4026株式会
 社日立製作所日立研究所内
 ④出 願 人 株式会社日立製作所
 東京都千代田区丸の内1の4
 代 表 者 駒井健一郎
 代 理 人 弁理士 中村純之助

図面の簡単な説明

第1図は本発明の原理を説明する構成図、第2図は第1図の動作を説明するための各信号波形の時間関係図、第3図は本発明の実施例を示す系統図、第4図は第3図の要部の回路図を示す。

発明の詳細な説明

本発明はパルス波形の立上りおよび立下り特性を改善する整形回路に関するものである。

従来、波形整形としてシュミット回路や縦横接続したインバータ回路などが使用されている。しかしこれらの回路は、立上り、立下り時間の改善に必要な利得、正帰還量などの点で次のような問題点がある。即ちシュミット回路においては、入力電圧レベルと出力電圧レベルとの間に差(レベルシフト)があり、レベル再調整回路を必要とすることが多い。また正帰還量が増して、自己発振領域に入るまで立上り、立下り時間が改善されな

い。

次に縦横接続のインバータ回路においては、正帰還ループがないため立上り、立下り時間の改善度が悪く、改善度をよくするためには縦続段数を5増加しなければならない。

本発明は上述の欠点を是正するため、フリップフロップ回路と、インバータ回路を組合せ、両回路のスレッシユホールドレベルに一定の条件を与え、比較的簡単な回路によつて、すぐれた波形整形特性を得ることを目的とする。

以下本発明について図面を参照して説明する。第1図において、1は2個のNOR回路からなるフリップフロップ回路、2はNOR回路からなるインバータ回路を示し、フリップフロップ回路1のSはセット入力、Rはリセット入力を示す。また3はパルス波形入力端子、4および5はフリップフロップ1の出力端子である。

第2図は第1図の動作説明図で、(a)は入力端子3からなる立上り、立下りの悪い入力波形、(b)はインバータ2の出力即ちフリップフロップ回路1のリセット入力Rの波形、(c)はフリップフロップ回路1の出力波形を示し、V1はインバータ回路2のスレッシホールド電圧、V2はフリップフロップ回路1のスレッシホールド電圧を示し、V1 < V2に設定する。

また(d)は(a)のセット入力S波形によるセットの状態および(b)のリセット入力R波形によるリセットの状態の時間的变化を「1」、「0」で表わしたものである。

次にこの回路の動作について説明する。いま第2図の(a)に示すセット入力Sがフリップフロップ回路1をセットする状態。また(b)に示すリセット入力Rがフリップフロップ回路1をリセットする状態を「1」で表わし、セット、リセットしない状態を「0」で表わすものとする。

セット入力Sおよびリセット入力Rが同時に「1」を形成する場合は、フリップフロップ回路1は正帰還ループが形成されず、従つて出力4お

3

よび5は不安定な状態にある。本発明は、このような状態の起きることを完全に抑止して、確実に正帰還ループが形成される方式を提供するものである。

第2図に示すごとく、 t_1 時点に至るまでは(a)のセット入力Sは「0」で表わされ、(b)のリセット入力Rは「1」で表わされるため、出力(c)は負の状態(「0」とする)になっている。次に t_1 時点において(b)の波形レベルが V_2 になるとリセット入力合は「1」から「0」になるが、セット入力Sも「0」であるため、出力(c)は「0」を維持する。更に t_2 時点に至ると、(a)の波形レベルはフリップフロップ回路1のスレッシホールド電圧 V_2 に達して該回路をセットするので、正帰還作用によつて(c)に示すごとくフリップフロップ回路1の出力は瞬時にして負の状態から正の状態(「1」とする)に反転する。更に t_3 時点に至ると、(a)の波形レベルはスレッシホールド電圧 V_2 まで下り、セット入力Sによるセットは解かれて「0」の状態になり、更にスレッシホールド電圧 V_1 まで下るとインバータ回路2の出力波形(リセット入力R)は反転を始めるが、その波形レベルがフリップフロップ回路1のスレッシホールド電圧 V_2 に達する t_4 時点において、リセット入力Rは「1」となりフリップフロップ回路1をリセットし、その出力(c)を「1」から「0」に瞬時反転させる。

本発明の特徴とするところは、第2図において $V_1 < V_2$ と設定することにより、 $t_1 \sim t_2$ および $t_3 \sim t_4$ の期間にセット入力Sおよびリセット入力Rを共に「0」の状態にすることができるので、フリップフロップ作用の反転の過渡時において、セット入力Sとリセット入力Rが共に「1」になり、フリップフロップ回路が不安定な状態になることを完全に抑止することができるため、フリップフロップ回路の波形整形作用をそのまま利用できることである。

4

第3図に本発明の実施例を示す。1, 1'および2はNOR回路で、1および1'でフリップフロップ回路を、2はインバータ回路を形成する。フリップフロップ回路のS入力端にスレッシホールド電圧可変用の抵抗 R_T を直列に挿入することにより、スレッシホールド電圧 $V_1 < V_2$ の条件を満足させることができる。

第4図はフリップフロップ回路の具体的一例を示す。

スレッシホールド電圧 $V_1 < V_2$ の条件は、前記抵抗 R_T を挿入しなくてもインバータ回路2とフリップフロップ回路1の回路定数を選定することにより予め設定することもできる。

以上述べたごとく、本発明によると次のような利点がある。

- 1 パルス入力波形の立上り、立下り特性を著しく改善できる。例えば、第3図の実施例によると入力信号の立上り10ミリ秒を出力信号で30ナノ秒にまで改善できた。
- 2 従来のシュミット回路における入力-出力間のレベルシフトが、本発明の方式には生じない。
- 3 従来のインバータ回路多段縦続接続に比べ回路数が少なく経済的である。
- 4 従来のシュミット回路方式におけるごとき波形整形専用の回路を必ずしも必要とせず、第3図のごとく標準設計のNOR回路を使用して波形整形ができるので、集積回路化された基本回路のみで装置を構成する場合に適用でき有効である。

特許請求の範囲

- 1 フリップフロップ回路のセット入力端子とリセット入力端子の間に、インバータ回路を挿入し、前記フリップフロップ回路のスレッシホールド電圧を前記インバータ回路のスレッシホールド電圧より大なるごとく設定することを特徴とする波形整形回路。

図 1

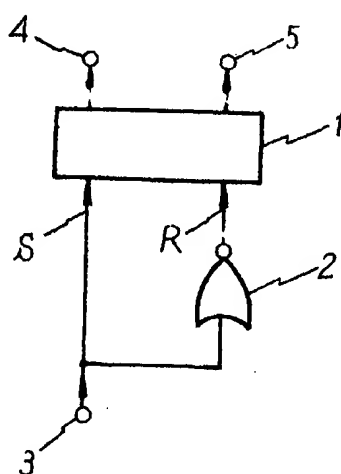


図 2

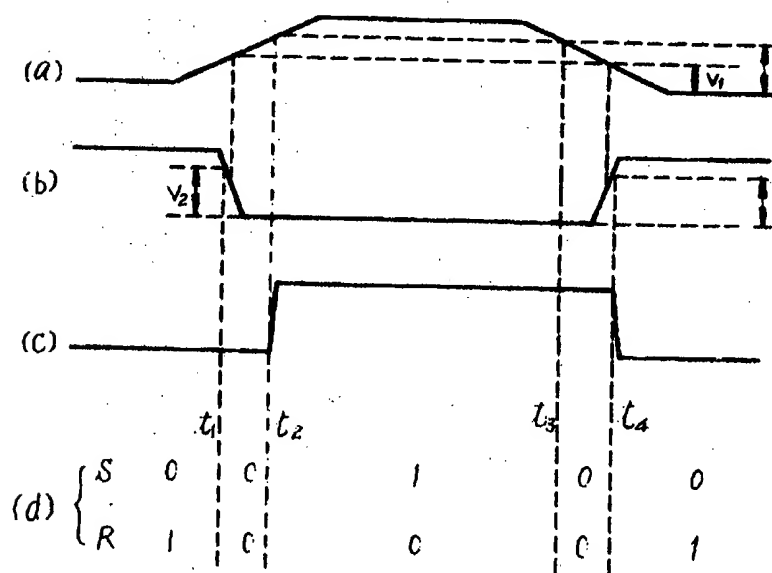


图 3

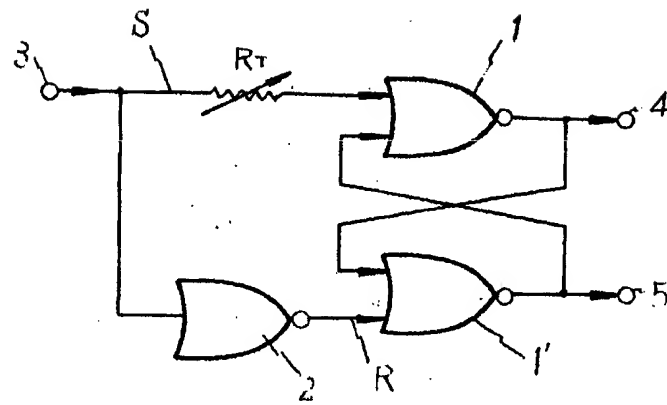


图 4

